

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2638257号

(45) 発行日 平成9年(1997) 8月6日

(24) 登録日 平成9年(1997) 4月25日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 F 1/10	3 0 4		G 0 5 F 1/10	3 0 4 H
G 0 6 F 1/30			G 0 6 F 1/00	3 4 1 M

請求項の数1(全 4 頁)

(21) 出願番号	特願平2-127963	(73) 特許権者	999999999 株式会社ユアサコーポレーション 大阪府高槻市城西町6番6号
(22) 出願日	平成2年(1990) 5月16日	(72) 発明者	田村 昌之 大阪府高槻市城西町6番6号 湯浅電池 株式会社内
(65) 公開番号	特開平4-23018	(72) 発明者	木戸 周二 大阪府高槻市城西町6番6号 湯浅電池 株式会社内
(43) 公開日	平成4年(1992) 1月27日	審査官	松永 稔
		(56) 参考文献	特開 昭63-54616 (J P, A) 特開 昭62-143153 (J P, A)

(54) 【発明の名称】 制御電源の異常処理回路

(57) 【特許請求の範囲】

【請求項1】 マイクロコンピュータに駆動用電力を供給する制御電源と、この制御電源の異常を監視し、異常が発生した場合に異常検出信号を前記マイクロコンピュータに送出する監視回路とを有し、前記異常検出信号によって該マイクロコンピュータをリセットするとともに、その異常情報を前記マイクロコンピュータに接続したRAMに格納させて制御電源の異常処理を行う制御電源の異常処理回路において、前記監視回路とマイクロコンピュータとの間に、前記異常検出信号を、この異常検出信号が送出されてから制御電源電圧がマイクロコンピュータが動作可能な下限電圧に低下するまでの時間より短く、RAMへの異常情報の格納に要する時間より長い時間だけ遅延させる、遅延回路を介挿してマイクロコンピュータのリセットを遅延させるとともに、この異常検出信号に

よって前記マイクロコンピュータに割込み処理を実行させ、この割込み処理によって前記異常情報をRAMに格納させて制御電源の異常処理を行うことを特徴とする制御電源の異常処理回路。

【発明の詳細な説明】

産業上の利用分野

本発明は制御電源の異常処理回路に関するもので、さらに詳しく言えば制御電源の異常を検出し、その異常情報を格納して処理できるようにした回路に関するものである。

従来の技術

近年、マイクロコンピュータを内蔵した機器が普及し、種々の制御がこのマイクロコンピュータによって行われるようになってきている。このような機器では、マイクロコンピュータを安定に動作させるため、またマイ

クロコンピュータの制御電源の異常を監視するため、制御電源に監視回路を設け、停電等によって制御電源に異常が発生した場合には、異常検出信号によってマイクロコンピュータをリセットするとともに、その異常情報をマイクロコンピュータに接続したバックアップが可能なRAMに格納し、正常な状態に復帰した後で前記異常情報を処理して信頼性の向上等に寄与させている。

上記の如き制御電源の異常処理回路の従来例を第3図により説明する。第3図において、1はマイクロコンピュータで、制御電源2から駆動用電力の供給を受けている。3は前記制御電源2の監視回路で、停電等による電圧の低下のような異常を検出し、異常検出信号によって前記マイクロコンピュータ1をリセットさせる。4は上記の如き異常情報を格納するためのRAM、5は前記RAMに格納された情報を保持するためのバックアップ電源である。このような異常処理回路では、監視回路3から送出される異常検出信号によってマイクロコンピュータ1をリセットするとともに、前記異常情報をRAM4に格納するようにしている。すなわち、第4図のように時刻 t_0 で制御電源電圧が V_0 になった時に送出される異常検出信号によってマイクロコンピュータ1のリセットとRAM4への異常情報の格納とが行われる。また、制御電源電圧は、その後時刻 t_1 でマイクロコンピュータが動作可能な下限電圧 V_1 まで低下していることが示されている。

発明が解決しようとする課題

上記した制御電源の異常処理回路は、異常検出信号によってマイクロコンピュータ1のリセットとRAM4への異常情報の格納とが同時に行われるため、RAM4に格納される異常情報が不完全になり、正常な状態に復帰した後で前記異常情報を処理することができないという欠点があった。

課題を解決するための手段

本発明の制御電源の異常処理回路は、マイクロコンピュータに駆動用電力を供給する制御電源と、この制御電源の異常を監視し、異常が発生した場合に異常検出信号を前記マイクロコンピュータに送出する監視回路とを有し、前記異常検出信号によって該マイクロコンピュータをリセットするとともに、その異常情報を前記マイクロコンピュータに接続したRAMに格納させて制御電源の異常処理を行うものにおいて、前記監視回路とマイクロコンピュータとの間に、前記異常検出信号を、この異常検出信号が送出されてから制御電源電圧がマイクロコンピュータが動作可能な下限電圧に低下するまでの時間より短く、RAMへの異常情報の格納に要する時間より長い時間だけ遅延させる、遅延回路を介挿してマイクロコンピュータのリセットを遅延させるとともに、この異常検出

信号によって前記マイクロコンピュータに割込み処理を実行させ、この割込み処理によって前記異常情報をRAMに格納させて制御電源の異常処理を行うことを特徴とするものである。

作用

上記の如き構成とすることにより、本発明の制御電源の異常処理回路は、遅延回路によってマイクロコンピュータのリセットを遅延させているので、マイクロコンピュータがリセットされる前に異常情報をRAMに格納させることができる。

実施例

以下、実施例により説明する。第1図は本発明の制御電源の異常処理回路のブロック図で、第3図と同じ機能を有する部分には同じ符号を付して以下の説明は省略する。

第1図のように、本発明は監視回路3とマイクロコンピュータ1との間に遅延回路6を介挿して異常検出信号によるマイクロコンピュータ1のリセットを遅延させるとともに、前記異常検出信号によってマイクロコンピュータ1に割込み処理を実行させ、この割込み処理によって異常情報をRAM4に格納するものである。従って、第2図のように、時刻 t_0 で制御電源電圧が V_0 になった時に送出される異常検出信号によってRAM4への異常情報の格納が開始され、その後時刻 t_2 においてマイクロコンピュータ1がリセットされる。この場合、時刻 t_0 から時刻 t_2 までの時間 T_2 は、時刻 t_0 から時刻 t_1 までの時間 T_1 より短かく、RAM4への異常情報の格納に要する時間より長くなるように遅延回路6の遅延時間を設定し、割り込み処理によって確実に異常情報がRAM4に格納されるようにしなければならない。

上記したとおりであるから、本発明は異常情報のRAM4への格納を確実に行うことができる。

発明の効果

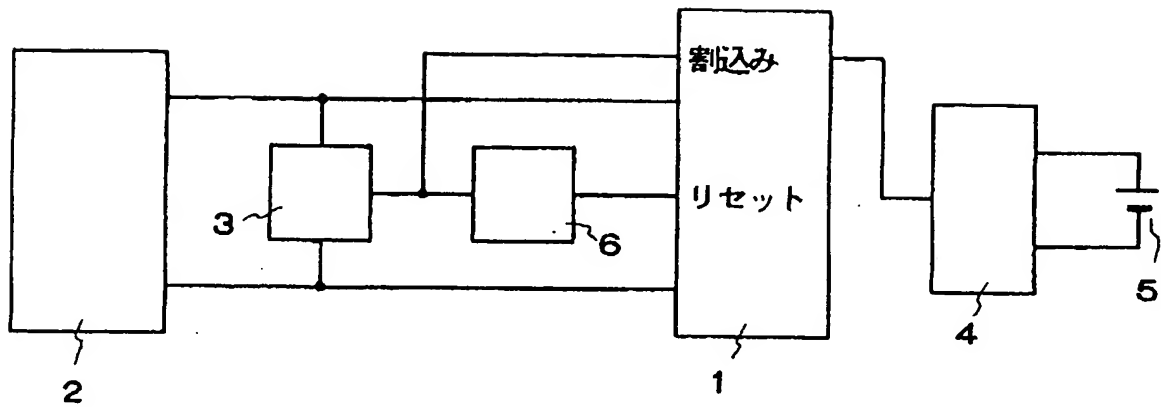
実施例において詳述した如く、本発明は異常情報の格納を確実に行うことができるので、正常な状態に復帰した後で前記異常情報の処理を容易に行うことができ、信頼性の向上等に寄与することができる。

【図面の簡単な説明】

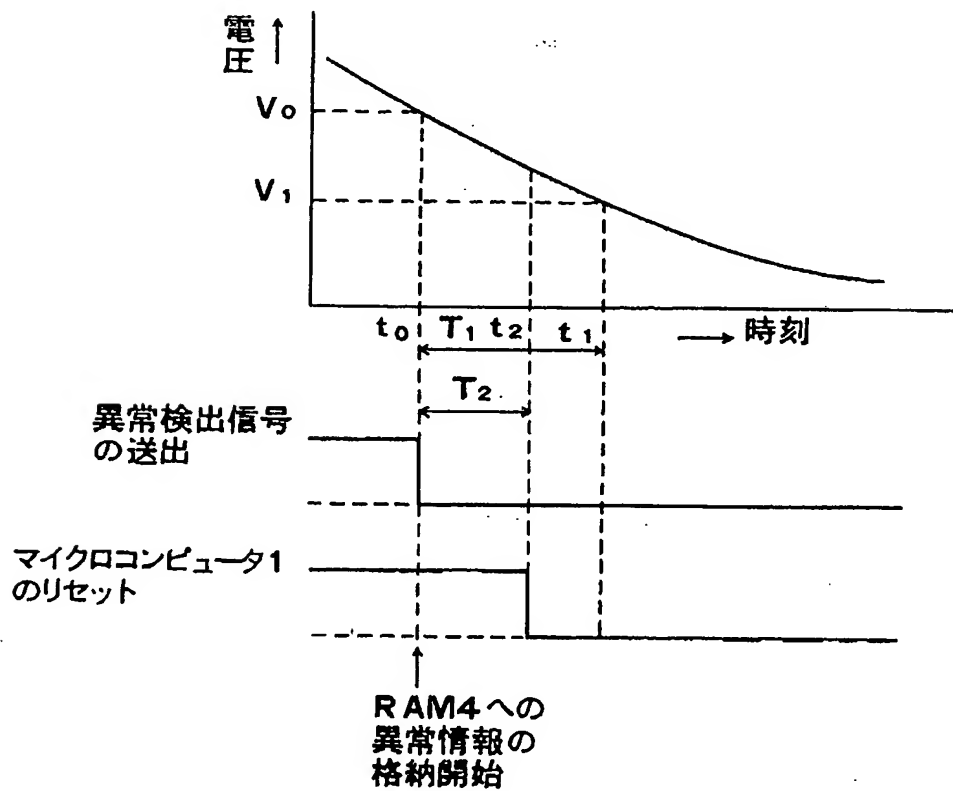
第1図は本発明の制御電源の異常処理回路のブロック図、第2図はそのタイムチャート図、第3図は従来の制御電源の異常処理回路のブロック図、第4図はそのタイムチャート図である。

1……マイクロコンピュータ、2……制御電源
3……監視回路、4……RAM
5……バックアップ電源、6……遅延回路

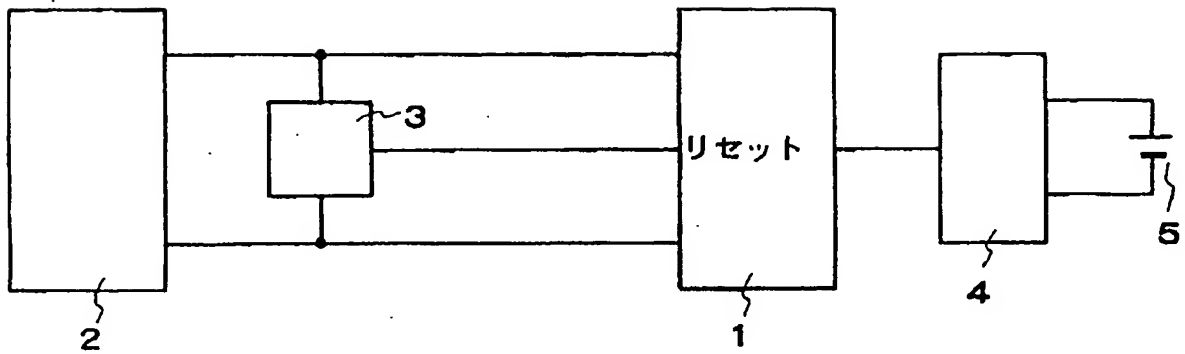
【第1図】



【第2図】



【第3図】



【第4図】

